**实验序号及名称： 实验 二 组合电路的设计**

**一．实验目的**

1. 掌握Verilog编程设计电路，熟悉ModelSim仿真工具。

2. 掌握译码器、数据比较器的功能。

**二．实验工具**

ModelSim

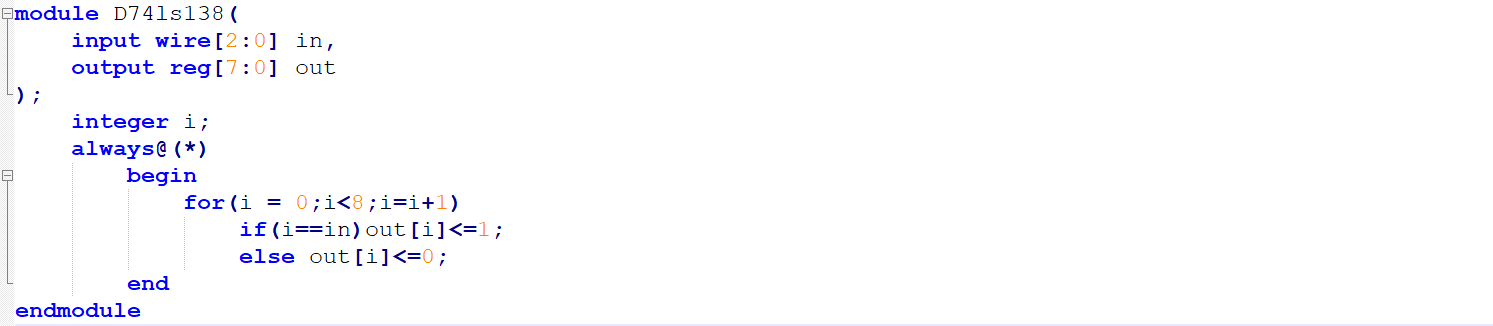
**三．实验内容**

1. 用Verilog完成3-8译码器的设计，并用ModelSim进行仿真。

2. 用Verilog完成两个4位二进制数据比较器的设计，并使用ModelSim进行仿真。

**四．实验过程（包括源程序及仿真结果截图）**

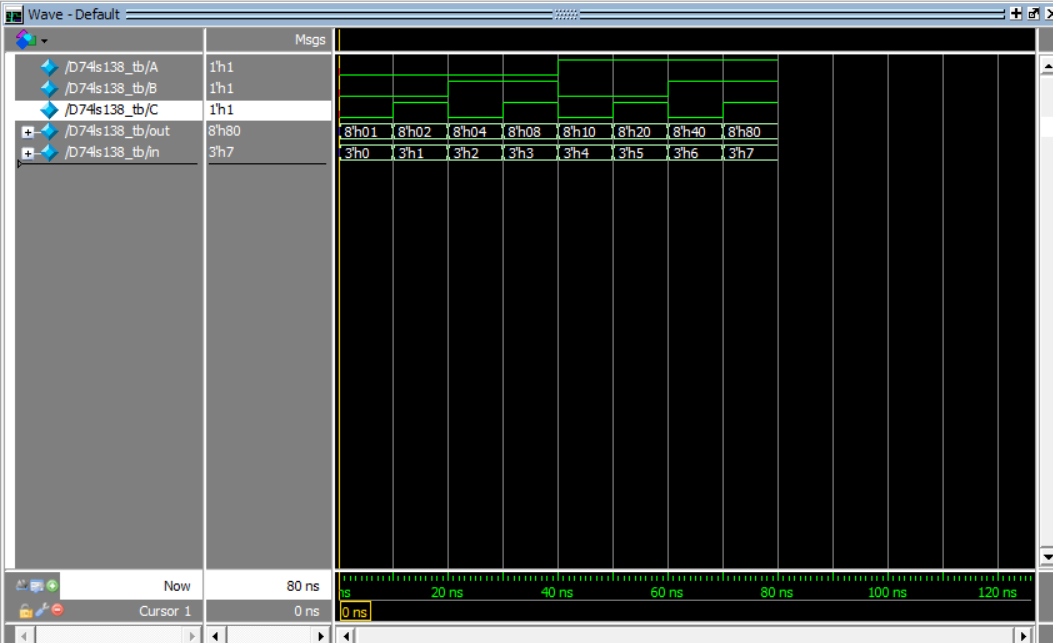
**三八译码器源码：**

****

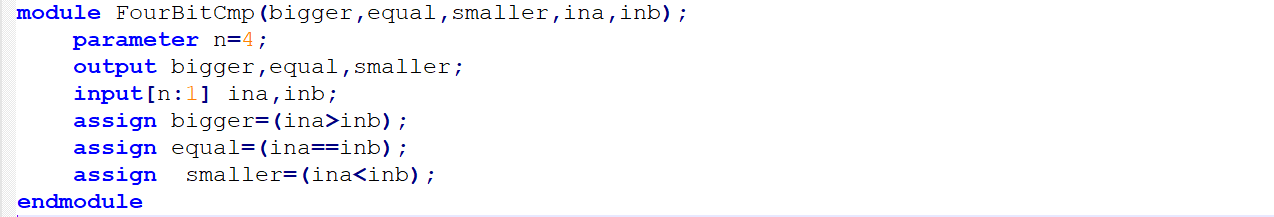
**Testbench：**

****

**仿真结果：**



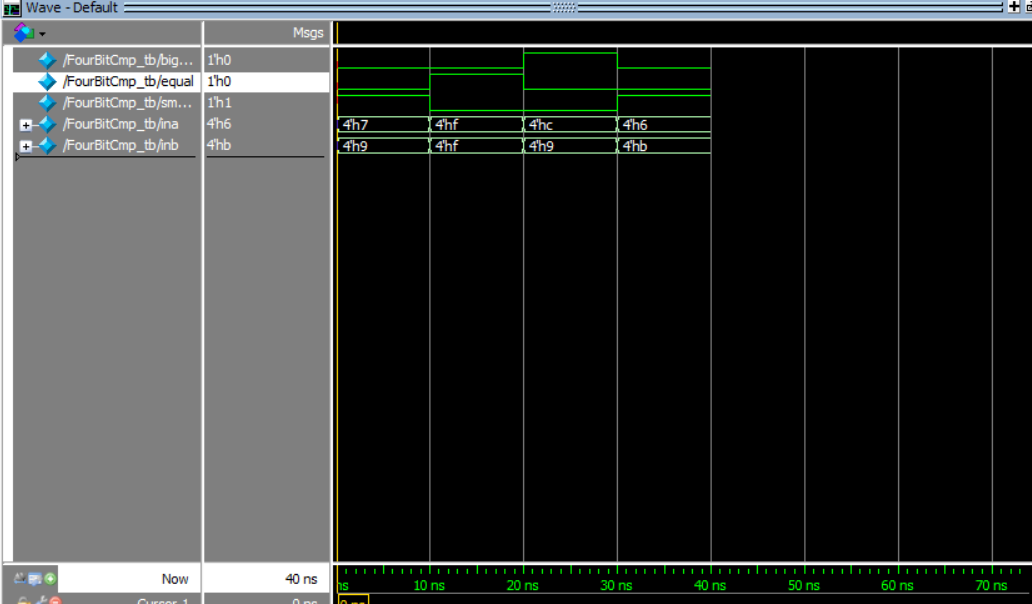
**四位比较器源码：**

****

**Testbench:**

****

**仿真结果：**



**四．实验感想、体会**

四位比较器的实现一开始觉得要一位一位进行比较，后来看了许多例子后发现直接将四位数字当作整体，当成一个数字就可以直接进行比较，非常简单。

三八译码器最初是想用case语句来列举所以的情况，但是如果位数多了以后，四位，五位，就需要很多行代码，但由于Verilog能直接将二进制的一位一位的数据与十进制整数进行比较，所以就能用一个for循环语句，将选中的输出位设为一，就能很简便的输出译码结果。但是对于testbench还是列举了八个信号，因为对于testbench还不熟悉，所以没有写简便一点的方法。